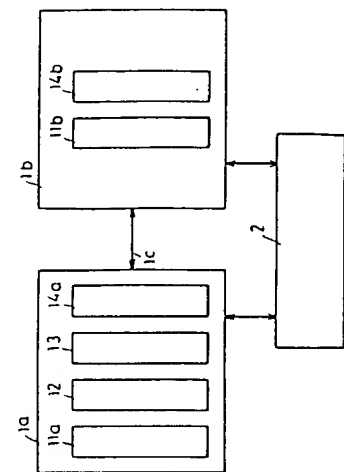


(54) CORRECTION SYSTEM FOR PROGRAM OF ELECTRONIC COMPUTER SYSTEM

(11) 62-113238 (A) (43) 25.5.1987 (19) JP
 (21) Appl. No. 60-252084 (22) 12.11.1985
 (71) NEC CORP (72) YUKIO EBINO
 (51) Int. Cl. G06F9/06

PURPOSE: To improve the probability that the opportunity for correction is obtained and to correct a program speedily by detecting a correctable state in segment units.

CONSTITUTION: A central processor 1a has an interruption request means 11a which requests the execution of a central processor 1b to be interrupted, an analyzing means 12 which analyzes the execution state of the program in a main storage device 2, a correcting means 13 which corrects the program, and restart request means 14a which makes a request to restart the execution of the central processor 1b interrupted by the interruption request of the interruption request means 11a. The central processor 1b has an interrupting means 11b which accepts an interruption request from the central processor 1a and a restarting means 14b which accepts a restart request from the central processor 1a. Those means are realized by a correcting program in concrete. Further, the central processor 1a and central processor 1b are so constitute as to have a mutual communication through a communication bus 1c.



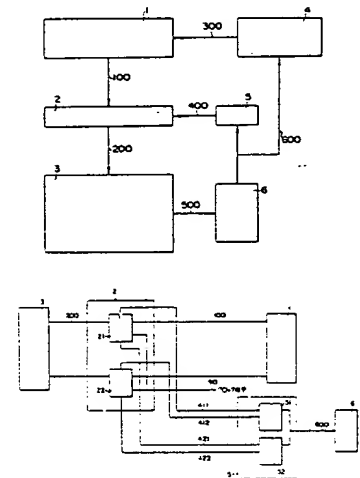
13: correcting means

(54) MICROINSTRUCTION GENERATION SYSTEM

(11) 62-113239 (A) (43) 25.5.1987 (19) JP
 (21) Appl. No. 60-253280 (22) 12.11.1985
 (71) NEC CORP (72) IWAO NEGISHI
 (51) Int. Cl. G06F9/22

PURPOSE: To increase a processing speed by judging the occurrence of an urgent state through hardware and generating the 1st step of a specific microinstruction for urgent processing by setting a microinstruction register.

CONSTITUTION: An overflow state is judged by a control circuit 5 through hardware to send out an interruption request signal or trap request signal to a request detecting circuit 6. A request detecting circuit 6 receives this interruption request signal or trap request signal and sends out an urgent processing command signal to a sequencer 4 and a master setting and master resetting control circuit 5. Consequently, the control circuit 5 supplies a master setting signal from its master setting control circuit 51 to registers 21 and 22 of a microinstruction register 2 to generate the 1st step of overflow processing in the microinstruction register 2.



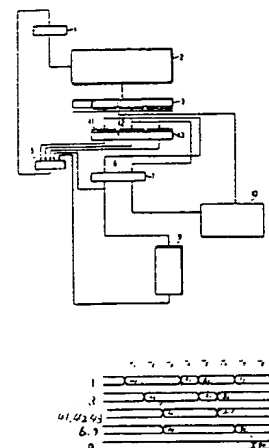
1: control storage. 6: request detecting circuit. 52: master resetting control circuit

(54) PROLOGUE PROCESSOR

(11) 62-113240 (A) (43) 25.5.1987 (19) JP
 (21) Appl. No. 60-253420 (22) 12.11.1985
 (71) NEC CORP (72) KIYOSHI MORISHIMA
 (51) Int. Cl. G06F9/44

PURPOSE: To execute a prologue at a high speed by stacking the address of a PT entry with the same predicate (PNAME) previously.

CONSTITUTION: Pointer register groups 41~43 hold the contents of the 2nd ~ the 4th fields read out to a readout register 3 respectively and pointer register groups 6 and 7 hold the contents of the 2nd and the 3rd fields read out to the readout register 3. A stack storage part 9 constitutes a stack and a selecting circuit 5 selects one of the pointer registers 41~43 and 6 and the stack storage part 9. Then while processing for the starting PT entry A₀ is carried on, the addresses of PT entries having the PNAME are written in the stack storage part 9. Therefore, when a back track is necessary, the internal addresses in the stack storage part 9 are used in order to read the PT entries having the same PNAME immediately.



1.3: address register. 2: storage device. 6,7,41,42,43: pointer register. 10: control part

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-113238

⑬ Int.Cl.⁴
G 06 F 9/06

識別記号
3 2 0

庁内整理番号
M-7361-5B

⑭ 公開 昭和62年(1987)5月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 電子計算機システムにおけるプログラム修正方式

⑯ 特 願 昭60-252084

⑰ 出 願 昭60(1985)11月12日

⑱ 発 明 者 海 老 野 征 雄 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 境 廣 巳

明 細 書

1. 発明の名称

電子計算機システムにおける
プログラム修正方式

2. 特許請求の範囲

電子計算機システムにおけるプログラム修正方式において、

修正指示されたプログラムの修正箇所に含まれる全てのセグメントが実行中でなく且つ中断中でもない状態を検出する手段と、

該手段で上記状態が検出されたとき前記プログラムの実行を抑制した状態で前記修正箇所に対し指定された修正を行なう手段と、

該手段による修正完了後に前記プログラムの実行の抑制を解除する手段とを具備したことを特徴とする電子計算機システムにおけるプログラム修正方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は電子計算機システムにおけるプログラ

ム修正方式に関し、特にオンライン性が損なわれるほど電子計算機システムが停止することなくプログラムの修正が可能なプログラム修正方式に関する。

(従来の技術)

従来、この種のプログラム修正方式としては、例えば特開昭59-35237号公報に見られるように、修正すべきプログラムで生成されるタスク(プロセス)が実行中でもなく且つ中断中でもないタイミングを捉えてそのプログラムの実行を抑制し、この状態で指定された修正を行なった後、修正後のプログラムの実行を再開する方式が知られている。

(発明が解決しようとする問題点)

しかし、上記従来方式は、修正すべきプログラムによるタスクが実行中でもなく且つ中断中でもないタイミングを修正可能なタイミングとしていたため、修正箇所が僅かで済むような場合でもなかなか上記タイミングを捉えることができず、修正が遅くなるという問題点がある。即ち、一つの

タスクを生成する一つのプログラムは多数のセグメントから構成され、その何れかのセグメントが実行中或いは中断中であればそのタスクは実行中或いは中断中となる。しかし、その一部のセグメントのみを修正する場合、他のセグメントが実行されているようが中断中であろうが問題なく修正できるから、修正すべきセグメント以外のセグメントの実行中或いは中断中もプログラムの修正をしないようにした従来の方式では、そのタスクが実行中或いは中断中でないタイミングを捉える機会が少なくなり、プログラムの修正が遅れてしまう。

本発明はこのような従来の問題点を解決したもので、その目的は、修正可能な状態をセグメント単位で検知することにより修正可能な機会を捉える確率を高め、プログラムの速やかな修正を可能とすることにある。

(問題点を解決するための手段)

本発明は上記目的を達成するために、電子計算機システムにおけるプログラム修正方式において、修正指示されたプログラムの修正箇所に含まれ

る全てのセグメントが実行中でなく且つ中断中でもない状態を検出する手段と、

該手段で上記状態が検出されたとき前記プログラムの実行を抑制した状態で前記修正箇所に対し指定された修正を行なう手段と、

該手段による修正完了後に前記プログラムの実行の抑制を解除する手段とを備える。

(作用)

修正指示されたプログラムの修正箇所に含まれる全てのセグメントが実行中でなく且つ中断中でもない状態が検出されると、そのプログラムの実行が抑制された状態で前記修正箇所に対し指定された修正が行なわれ、その修正完了後に前記プログラムの実行の抑制が解除される。

(実施例)

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の方式が適用される電子計算機システムの一実施例のブロック図であり、主記憶装置2を共用し、この主記憶装置2上のプログラ

ムを実行する中央処理装置1aおよび中央処理装置1bを有するマルチプロセッサ構成の電子計算機システムを示している。第1図において、中央処理装置1aは、中央処理装置1bの実行の中断を要求する中断要求手段11aと、主記憶装置2上にあるプログラムの実行状態を解析する解析手段12と、そのプログラムを修正する修正手段13と、中断要求手段11aの中断要求によって中断された中央処理装置1bの実行を再開させる為の再開要求を発する再開要求手段14aとを有し、中央処理装置1bは、中央処理装置1aからの中断要求を受付ける中断手段11bと、中央処理装置1aからの再開要求を受付ける再開手段14bとを有している。これらの各手段は具体的には修正プログラムにより実現される。また、中央処理装置1aと中央処理装置1bとは通信バス1cで相互に通信できるように構成されている。

第2図は解析手段12で用いるプログラム実行状態の解析に必要な制御テーブル2a、2bの説明図であり、これらの制御テーブル2a、2bは主

記憶装置2上に置かれている。図中、制御テーブル2bは、主記憶装置2上に存在するプログラムのプログラム名21bとそのプログラムに与えられたプロセス番号22bとの対応表である。また、制御テーブル2aは、全プロセスの実行状態を表示するように更新されると同時に、中断されたプロセスの中断情報を含んだプロセス制御テーブルであり、例えばプロセス番号21a、プロセス実行状態フラグ22a、中断された実行命令セグメント記述子23aおよび中断された参照データセグメント記述子24aが含まれている。

また、第3図は中断要求手段11aの処理の一例を示す流れ図、第4図は中断手段11bの処理の一例を示す流れ図、第5図は修正手段13の処理の一例を示す流れ図、第6図は再開要求手段14aの処理の一例を示す流れ図、第7図は再開手段14bの処理の一例を示す流れ図および第8図は解析手段12の処理の一例を示す流れ図である。次に、各図を参照して主記憶装置2上に存在するプログラムの修正を中央処理装置1aが遂行する際の本実施

例の動作を説明する。

プログラムを修正する場合、図示しないシステムコンソール等から修正すべきプログラムのプログラム名、その修正箇所、修正内容等の情報を中央処理装置1aに入力し、修正コマンドを与える。

中央処理装置1aは、修正コマンドが与えられると、先ず中断要求手段11aによる第3図の処理により中央処理装置1bに対し通信バス1cを用いて中央処理装置1bで実行中のプログラムを中断する要求を出す(S1)。中央処理装置1bの中断手段11bがこの要求を受けると、中断手段11bによる第4図の処理により実行中のプログラムが中断され(S10)、次いでその実行状態が主記憶装置2上の制御テーブル2aに退避される

(S11)。この後、中央処理装置1bは休止状態となる。

一方、中央処理装置1aは実行中断要求を出した後からたとえば所定時間経過後に中央処理装置1bによって退避された実行状態を解析手段12により解析し、指示されたプログラムの修正箇所が

上のプログラムすなわち全プロセスの状態を表示し、中央処理装置1bで実行中のプログラムが中断すると、中断手段11bによりそのプログラムに対応するプロセスの実行状態フラグ22a、中断されたプロセスの実行命令セグメント記述子23a、参照データセグメント記述子24aもテーブル2aに退避されている。そこで、解析手段12は、第8図に示したように先ず修正すべきプログラム名をキーにして制御テーブル2aを検索する(S50)。そして、そこで求められたプロセス番号をキーにしてプロセス制御テーブル2aを検索し(S51)、目的とする修正プログラムの中断状態を解析する(S52)。すなわち、修正したいプログラムの修正箇所に含まれるセグメントが中断中のプロセスの命令セグメントおよびデータセグメントと重複しているか否かを調べ、重複していなければ修正可能と判断し、修正手段13を起動する(S53)。

一方、重複している場合は、修正手段13による修正を今回は断念し、再開要求手段14aを起動する(S54)。そして、例えば所定時間経過後の再

修正可能か否かを例えば後述する方法にて判断する。そして、修正可能であるならば、第5図の処理を行なう修正手段13により指定されたプログラムの修正箇所を指定された内容となるように修正し(S20)、この修正が終了すると再開要求手段14aを起動する(S21)。再開要求手段14aは起動されると、第6図に示す処理を行ない、休止状態にあった中央処理装置1bに対し通信バス1cを介して起動要求を送る(S30)。中央処理装置1bはこの起動要求があると、再開手段11bによる第7図に示す処理により休止状態から実行再開に移行する(S40)。この場合、中央処理装置1bの実行中断時間は、中断手段11bによる中断開始から再開手段14bによる再開開始までであり、高々コマ数μsec以下であるからオンライン性を殆ど阻害することはない。

次に、解析手段12の処理例について第8図を用いて詳説する。主記憶装置2上に存在するプログラムには前述したようにプロセス番号が与えられている。また、制御テーブル2aは主記憶装置2

試行タイミングになった時点で、中断要求手段11aを再起動する(S55、S56)。これにより、再び上述の一連の処理(S1、S10、S11、S50～S52)が行なわれ、ステップS52で修正可能と判定されたら修正手段13による修正が実行され、なお修正不可能であれば修正可能な状態が現れるまで上述の動作が繰返される。なお、予め設定された回数だけの再試行を行なっても修正可能な状態にならない場合にはその旨を外部に表示して修正処理を断念するようにしても良い。

このように本実施例によれば、実行中のプログラムの修正が、動的に且つオンライン性を阻害せずに行なうことが可能となる。また、修正不可能と検知された場合、一旦中断したプログラムの実行を再開させ、その後再試行を行なうものであり、一回の修正コマンド入力によりほぼ確実に修正作業を終えることができる利点もある。

なお、以上の実施例では中央処理装置1bの実行するプログラムを中央処理装置1aが修正する場合を示したが、中央処理装置1aの実行するプ

プログラムを中央処理装置1bが修正するときは、中央処理装置1bに中断要求手段11a、解析手段12、修正手段13および再開要求手段14aを設け、中央処理装置1aに中断手段11bおよび再開手段14bを設ければ良く、互いに他の中央処理装置のプログラムの修正を行なわせるには各中央処理装置に中断要求手段11a、解析手段12、修正手段13、再開要求手段14a、中断手段11bおよび再開手段14bを設ければ良い。

また、本発明はマルチプロセッサ構成の電子計算機システムのみでなくシングルプロセッサ構成の電子計算機システムに対しても適用可能である。この場合、修正指示されたプログラムの修正箇所に含まれる全てのセグメントが実行中でなく且つ中断中でもない状態を検出する手段と、この手段で上記状態が検出されたときそのプログラムの実行を中止した状態で前記修正箇所に対し指定された修正を行なう手段と、この手段による修正完了後に前記プログラムの実行の中止を解除する手段とを実現するプログラムは、例えば前記特開昭59

・35237号公報に記載されたようにオペレーティング・システムのタスクスケジューラの出口にリンクされ、実行タスクが切換えられ次の実行タスクに制御が渡される直前に呼出されるサブルーチンとすることもできる。

(発明の効果)

以上説明したように、本発明では、修正指示されたプログラムの修正箇所に含まれるセグメント以外の前記プログラムのセグメントが実行中或いは中断中であっても、修正箇所に含まれるセグメント自体が実行中或いは中断中でない状態が発生すればこれが検出され、プログラムの修正が行なわれるので、プログラムの修正可能な状態を捉える確率が従来のタスク単位で検出する場合に比べ高くなり、その分だけプログラムの修正を速やかに行なうことができる効果がある。

4. 図面の簡単な説明

第1図は本発明の方式が適用される電子計算機システムの一実施例のブロック図、

第2図は解析手段12で用いるプログラム実行状

態の解析に必要な制御テーブル2a、2bの説明図、

第3図は中断要求手段11aの処理の一例を示す流れ図、

第4図は中断手段11bの処理の一例を示す流れ図、

第5図は修正手段13の処理の一例を示す流れ図、

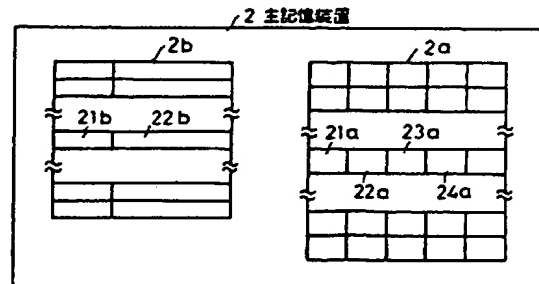
第6図は再開要求手段14aの処理の一例を示す流れ図、

第7図は再開手段14bの処理の一例を示す流れ図および、

第8図は解析手段12の処理の一例を示す流れ図である。

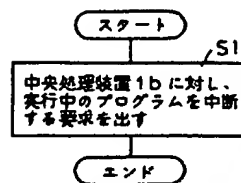
図において、1a、1bは中央処理装置、2は主記憶装置、11aは中断要求手段、11bは中断手段、12は解析手段、13は修正手段、14aは再開要求手段、14b再開手段である。

特許出願人 日本電気株式会社
代理人 弁理士 境 廣 巳



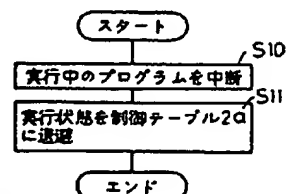
制御テーブルの説明図

第2図



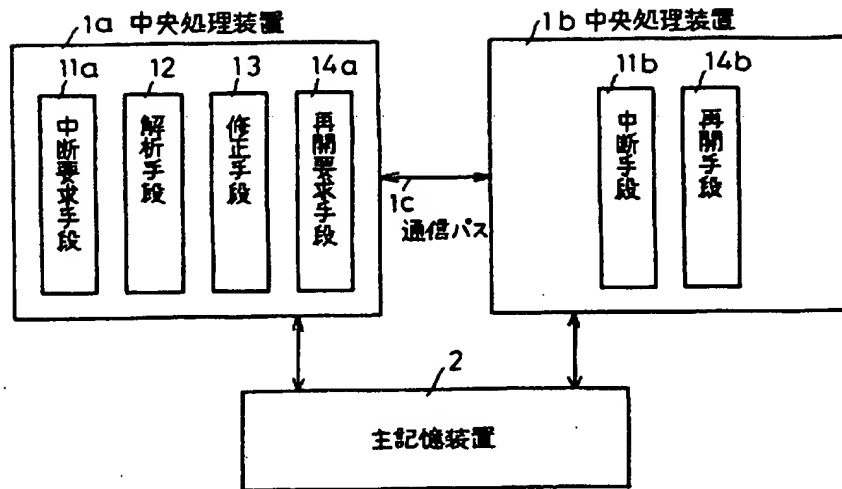
中断要求手段の処理の流れ図

第3図



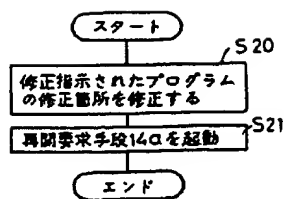
中断手段の処理の流れ図

第4図



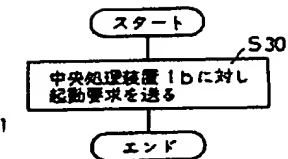
本発明が適用される電子計算機システム
の一例を示すブロック図

第 1 図



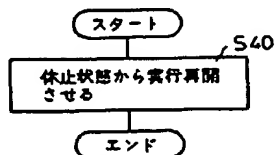
修正手段の処理の流れ図

第 5 図



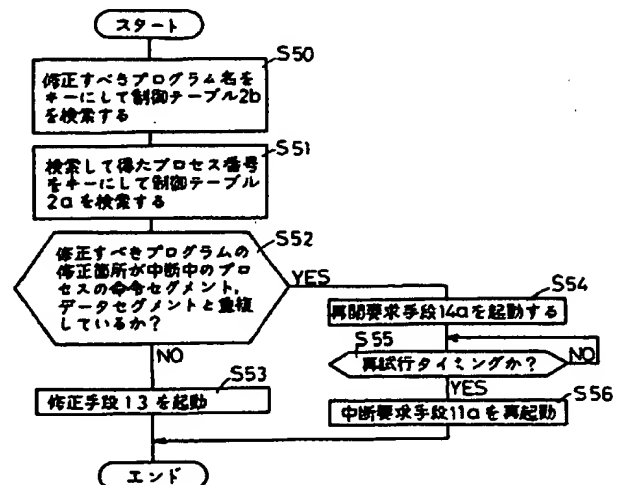
再開要求手段の処理の流れ図

第 6 図



再開手段の処理の流れ図

第 7 図



解析手段の処理の流れ図

第 8 図